

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244416

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.  
H 01 L 29/784

識別記号  
9056-4M

序内整理番号

F I

技術表示箇所

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数14 FD (全 14 頁)

(21)出願番号 特願平5-181998

(22)出願日 平成5年(1993)6月28日

(31)優先権主張番号 特願平4-343030

(32)優先日 平4(1992)12月24日

(33)優先権主張国 日本 (J P)

(71)出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(72)発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の301

(72)発明者 島田 久幸

宮城県仙台市青葉区荒巻字青葉(無番地)  
東北大学工学部電子工学科内

(72)発明者 平山 昌樹

宮城県仙台市青葉区荒巻字青葉(無番地)  
東北大学工学部電子工学科内

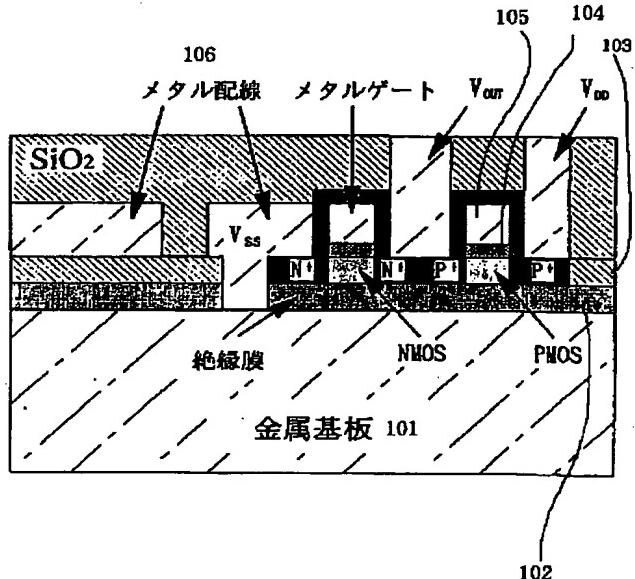
(74)代理人 弁理士 福森 久夫

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【目的】 本発明は電力駆動能力が大きく、高速動作を可能とする半導体装置を提供することを目的とする。

【構成】 金属基板101上に第1の絶縁膜102を介して、第1導電型の第1の半導体領域103が設けられ、該第1の半導体領域103内に第2導電型の第1のソース及びドレイン領域が形成され、更に該第1のソース及びドレイン領域を隔てる領域上に第2の絶縁膜を介して第1の金属ゲート電極105が形成されていることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 金属基板上に第1の絶縁膜を介して、第1導電型の第1の半導体領域が設けられ、該第1の半導体領域内に第2導電型の第1のソース及びドレイン領域が形成され、更に該第1のソース及びドレイン領域を隔てる領域上に第2の絶縁膜を介して第1の金属ゲート電極が形成されていることを特徴とする半導体装置。 \*

$$t_1 \text{ (nm)} < 3$$

但し、 $\epsilon_r$ ：前記第2の絶縁膜の比誘電率

$\epsilon_{SiO_2}$ ：シリコン酸化膜 SiO<sub>2</sub>の比誘電率

【請求項 4】 前記第2絶縁膜は、比誘電率が8以上の絶縁膜と、前記半導体領域を酸化することにより形成され、膜厚が該比誘電率が8以上の絶縁膜の膜厚より小さい酸化膜との積層構造をとることを特徴とする請求項1または2に記載の半導体装置。

【請求項 5】 前記第2の絶縁膜は、前記金属ゲート電極端部で厚くなっていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項 6】 前記第1の金属ゲート電極を酸化し、該金属ゲート電極の端部と前記第2の絶縁膜との間に、該金属ゲートを構成する金属の酸化物を形成したことを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項 7】 前記第1の半導体領域の膜厚は、0.01～0.1 μmであり、前記ソース・ドレイン領域の間隔は0.25 μm以下であることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

【請求項 8】 前記第1のソース・ドレイン領域は、前記第1の金属ゲート電極に対して、自己整合的に形成されていることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置。

【請求項 9】 前記第1の絶縁膜は、周期的な段差を有することを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項 10】 前記金属基板上に前記第1の絶縁膜を介して、第2導電型の第2の半導体領域が形成され、該第2の半導体領域内に第1導電型の第2のソース・ドレイン領域が設けられ、該第2のソース・ドレイン領域を隔てる領域上に前記第2の絶縁膜を介して前記第2の金属ゲート電極が形成され、前記第1の金属ゲート電極と接続されていることを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置。

【請求項 11】 前記第1のドレイン領域の、第1導電型の第1の半導体領域に隣接する部分における不純物濃度が、前記第1のソース領域の不純物濃度より低いことを特徴とする請求項1乃至10のいずれか1項に記載の半導体装置。

【請求項 12】 前記第1のソース領域が、金属配線により、前記金属基板に接続されていることを特徴とする請求項1乃至11のいずれか1項に記載の半導体装置。

\* 【請求項 2】 前記第1の絶縁膜、第1の半導体領域、及び第2の絶縁膜の内少なくとも1つは、2周波励起スパッタ法で形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記第2の絶縁膜の比誘電率は8以上であり、その膜厚  $t_1$  が下記式(1)を満足することを特徴とする請求項1または2に記載の半導体装置。

$$t_1 \times (\epsilon_r / \epsilon_{SiO_2}) < 3 \quad (1)$$

【請求項 13】 前記第2のソース領域が、金属配線により、前記第2のソース領域より上部に、前記金属配線幅より大きな金属板に接続されていることを特徴とする請求項10乃至12のいずれか1項に記載の半導体装置。

【請求項 14】 前記金属基板と前記金属板の内少なくとも1つに、流体が流れる機構を具備したことを特徴とする請求項13に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置に係わり、特に超高速動作の可能な半導体装置に関する。

## 【0002】

【従来の技術】 現在、半導体集積回路技術は実に驚くべき速度で進展している。この驚異的な進歩は、素子の微細化に負うところが大きい。素子の微細化により、より多くの素子を1つのチップ内に集積する事が可能となり、結果として、より多くの機能を実現する事が可能となった。また、素子の微細化により高速動作も達成された。

【0003】 超高速LSIの研究の一貫として、これまで微細CMOS、BiCMOS、ヘテロバイポーラ、GaAs、ジョセフソン素子等の様々なデバイスの研究が展開してきた。しかしながら、室温動作で且つ超高集積化の要求が強く、今後の半導体集積回路技術として、シリコンベースの技術が一層期待されている。さらに、微細化に伴う電源電圧の低下による論理振幅の減少及び製造工程の簡略化を考慮すると、BiCMOSも上記要求を満たさなくなり、回路動作の対称性に優れ、雑音余裕を大きくとれるCMOSがシステムの信頼性を確保する上で不可欠となる。

【0004】 しかしながら、従来のCMOSでは、クロック周波数に比例して消費電力、すなわち発熱が増大し、熱雑音レベルが上昇してしまうという問題があり、さらにラッチアップ現象の問題もある。

【0005】 回路の高速動作に伴う、消費電力の増加は、チップ内温度の上昇につながり、信頼度と動作性能の劣化につながる問題である。回路の熱抵抗を  $R_t$  (°C/W)、消費電力を  $P$  (W)、温度上昇を  $\Delta T$  (°C) とすると、 $\Delta T = R_t \cdot P$  の関係がある。 $\Delta T$  を回路の許容温度上昇とすれば、 $R_t$  の小さいものほど  $P$  が大きくなり、高速動作を可能とする。つまり、回路の高速動作

に於いては、回路の熱抵抗をできるだけ小さくしなければならない。

【0006】微細化するにつれてMOSFETの電流駆動能力が大きくなる事は、周知の事実である。MOSFET

$$I_D = (W/2L) \cdot \mu_c \cdot C_{ox} \cdot (V_G - V_{TH})^2 \quad (2)$$

ただし、

$$C_{ox} = (\epsilon_r \cdot \epsilon_0) / d_{ox}$$

ここで

W : ゲート幅

L : ゲート長

$\mu_c$  : チャネル移動度

$C_{ox}$  : 単位面積あたりのゲート絶縁膜容量

$V_G$  : ゲート電圧

$V_{TH}$  : 閾値電圧

$\epsilon_r$  : ゲート絶縁膜の比誘電率

$\epsilon_0$  : 真空の誘電率

$d_{ox}$  : ゲート酸化膜の膜厚

今、デバイス寸法を  $1/\alpha$  ( $\alpha > 1$ ) にスケールダウンすると仮定する。ゲート幅W、ゲート長Lが共に  $1/\alpha$  に縮小されたとしても、駆動できるドレイン電流  $I_D$  は変わらない。一方、ゲート絶縁膜の膜厚  $d_{ox}$  が  $1/\alpha$  に縮小されたとすると、ゲート絶縁膜容量  $C_{ox}$  が  $\alpha$  倍になります。駆動できるドレイン電流  $I_D$  は  $\alpha$  倍に大きくなる。さらに、このトランジスタが駆動する負荷容量（通常ゲート容量）は  $C_{ox} \cdot L \cdot W$  で表されるがこの値は  $1/\alpha$  に減少する。したがって負荷容量を充放電するのに必要な時間は  $1/\alpha^2$  倍に短縮される。このように、微細化に伴う素子の電流駆動能力の向上と負荷容量の減少により、高速化が達成される。

【0008】しかしながら、ここにきて製造装置または原理的な限界等により微細化への展開のスピードは鈍り始めている。例えばゲート長L等の平面的寸法は、光によるパターン形成の理論的限界である  $0.5 \sim 0.2 \mu m$  に達している。X線や電子線等の利用し、 $0.1 \mu m$  以下の寸法を形成しようとする試みがなされているが、現在開発段階である。

【0009】また、ゲート絶縁膜としては、通常シリコンの熱酸化膜  $SiO_2$  が用いられているが、現在、その膜厚は  $5 nm$  まで薄くなり、限界に近づいている。即ち、ゲート絶縁膜に関しては、現状のままだと  $3 nm$  程度まで薄くになると直接トンネル現象より電流が流れ、絶縁膜として機能しなくなってしまう。つまり絶縁膜に関しては、原理的にこれ以上薄くすることのできない限界に達しているといえる。したがって、ゲート絶縁膜の薄膜化による電流駆動能力の向上は、極めて困難な状況にある。

【0010】一方、1チップ当たりの機能のさらなる向上の要求から、チップの大きさは、素子の微細化とは裏腹に、段々大きくなっている。それに伴い、各機能ブロックをつなぐ配線の長さが長くなっている。そ

\* E Tの飽和領域での電流電圧の関係式を式(2)に示す。

【0007】

$$I_D = (W/2L) \cdot \mu_c \cdot C_{ox} \cdot (V_G - V_{TH})^2 \quad (2)$$

の結果、このような配線を駆動するトランジスタからみれば、微細化とともに、駆動すべき負担が小さくなるどころか逆に大きくなり、素子の電流駆動能力の向上が一層要求されることになる。

10 【0011】以上のように大きな負担を駆動するためのトランジスタは、極めて大きな電流駆動能力が要求され、式(2)が示すように、チャネル幅Wは数  $10 \mu m$  から数  $100 \mu m$  の大きな値とすることが要求される。特に、外部回路への出力回路への出力段に用いるトランジスタは、非常に大きなチャネル幅Wを持つものが必要となる。

【0012】従来のトランジスタの構造を図16に示す。ここで、(a)は平面図、(b)はA-A'に沿った断面図、(c)は(a)及び(b)の等価回路である。

20 【0013】図において、1601はn<sup>+</sup>多結晶シリコンで形成されたゲート電極、1602、1603はそれぞれ、ソース、ドレイン、1604はSiO<sub>2</sub>で形成されたゲート絶縁膜、1605はフィールド酸化膜である。

【0014】このようなトランジスタは、図16(c)で示すように、ゲート電極自身がRC分布定数等価回路となっており、ゲートの一端1606から他端1607に信号が伝搬するのに有限の時間がかかる。

30 【0015】次に、図17に、トランジスタの等価回路図を示す。ソースとグランドレベルを接続する配線長が長くなると、寄生抵抗R<sub>s</sub>と寄生インダクタンスL<sub>s</sub>が無視できなくなる。ソース配線での電圧降下は寄生抵抗と電流の積と、寄生インダクタンスと電流の時間微分の積の和で決まる。特に、トランジスタを高速で動作させようすると、電流の時間微分の項が大きくなり、寄生インダクタンスが電圧降下に大きく関与してくれる。また、電源ラインとソースを接続する配線場合も、同様に寄生抵抗・寄生インダクタンスの問題が現れてくる。

40 【0016】トランジスタを超高速で動作させるには、ソース配線の寄生抵抗と寄生インダクタンスが半導体デバイスの高集積化・超高速化に、大きな問題となっていた。

【0017】図18は、図16のトランジスタのゲートの一端から高周波信号を印加した場合に、信号振幅とその位置との関係を示したグラフである。信号がゲート電極を伝搬するにしたがい、その電圧振幅が減衰する様子を示している。この様に、ゲート電極の抵抗が大きくなると、高周波成分が減衰してしまい、ゲート幅Wを大きくしても、全体にわたって有効に使うことができなくな

る。

【0018】また、図19に、配線上を1mm, 2m, 3mm、4mm伝搬した時の信号の減衰を示す。図が示すように超高速信号が配線上を伝搬すると、信号の伝搬方向を向いた電界成分によりシリコン基板内で電力消費が生じ、著しい波形の減衰が起こってしまう。このように従来のトランジスタでは配線を伝搬する高速信号の波形が崩れ、高速動作の大きな障壁となっていた。

【0019】また、微細化に伴うデバイス特性の劣化の要因の一つとして挙げられる、ドレイン近傍の高電界に対する対策として、一般に用いられているLDD構造の形成方法の一例を図20に示す。ポリシリコンゲートをマスクにして、比較的低濃度（例えば $1 \times 10^{13} \text{ c m}^{-2}$ ）のn-のイオン注入を行った後、CVDS SiO<sub>2</sub>膜を堆積させる。その後、等方性モードの反応性イオンエンシチングにより、サイドウォールを形成し、ソース／ドレインイオン注入を行う。この構造では、ドレイン近傍の電界緩和の効果とn-層の寄生抵抗による電流駆動能力の低下のトレードオフの関係が存在していた。

【0020】以上述べたように、デバイスのより一層の高速化、高集積化には、電流駆動能力のより大きなトランジスタが必要とされるが、従来のトランジスタでは、\*

$$t_1 (\text{nm}) < 3$$

但し、 $\epsilon_r$ ：前記第2の絶縁膜の比誘電率

$\epsilon_{SiO_2}$ ：シリコン酸化膜SiO<sub>2</sub>の比誘電率

また、本発明の好ましい形態は、前記第2絶縁膜は、比誘電率が8以上の絶縁膜と、前記半導体領域を酸化することにより形成され、膜厚が該比誘電率が8以上の絶縁膜の膜厚より小さい酸化膜との積層構造をとる半導体装置である。

【0025】更に本発明の好ましい形態は、前記第2の絶縁膜は、前記金属ゲート電極端部で厚くなっていることであり、また、前記第1の金属ゲート電極を酸化し、該金属ゲート電極の端部と前記第2の絶縁膜との間に、該金属ゲートを構成する金属の酸化物を形成した半導体装置である。

【0026】本発明の更に好ましい形態は、前記第1の半導体領域の膜厚は、0.01～0.1μmであり、前記ソース・ドレイン領域の間隔は0.25μm以下である半導体装置である。

【0027】本発明において、前記第1の絶縁膜は、周期的な段差を有するのが好ましい。さらに、本発明の好ましい形態は、前記第1の絶縁膜、第1の半導体領域、及び第2の絶縁膜の内少なくとも1つは、2周波励起スパシタ法で形成される半導体装置である。

【0028】また更に本発明の好ましい形態は、前記金属基板上に前記第1の絶縁膜を介して、第2導電型の第2の半導体領域が形成され、該第2の半導体領域内に第1導電型の第2のソース・ドレイン領域が設けられ、該第2のソース・ドレイン領域を隔てる領域上に前記第2

\*例えばゲート絶縁膜(SiO<sub>2</sub>)を薄くすると絶縁膜の直接トンネル電流で使えなくなる。また大電流駆動用のゲート幅Wの大きなトランジスタを用いた場合には、トランジスタが端から端までオンするのに有限の時間がかかり、また、配線を伝搬する高速信号の波形が崩れるという問題がある。

#### 【0021】

【発明が解決しようとする課題】以上の状況に鑑み、本発明は電力駆動能力が大きく、高速動作を可能とする半導体装置を提供することを目的とする。

#### 【0022】

【課題を解決するための手段】本発明の半導体装置は、金属基板上に第1の絶縁膜を介して、第1導電型の第1の半導体領域が設けられ、該第1の半導体領域内に第2導電型の第1のソース及びドレイン領域が形成され、更に該第1のソース及びドレイン領域を隔てる領域上に第2の絶縁膜を介して第1の金属ゲート電極が形成されていることを特徴とする。

【0023】本発明の好ましい形態は、前記第2の絶縁膜の比誘電率は8以上であり、その膜厚 $t_1$ が下記式(1)を満足する半導体装置である。

#### 【0024】

$$t_1 (\text{nm}) < 3 \times (\epsilon_r / \epsilon_{SiO_2}) \quad (1)$$
  
の絶縁膜を介して前記第2の金属ゲート電極が形成され、前記第1の金属ゲート電極と接続されている半導体装置である。

【0029】更に本発明の好ましい形態は、前記第1のドレイン領域の、第1導電型の第1の半導体領域に隣接する部分における不純物濃度が、前記第1のソース領域の不純物濃度より低いことを特徴とする半導体装置である。

【0030】また、本発明において、前記第1のソース領域が、金属配線により、前記金属基板に接続されていることが好ましい。

【0031】さらに本発明は、前記第2のソース領域が、金属配線により、前記第2のソース領域より上部に、前記金属配線幅より大きな金属板に接続されていると好ましく、また、前記金属基板と前記金属板の内少なくとも1つに、流体が流れる機構を具備していることが好ましい。

#### 【0032】

【作用】本発明においては、金属基板上に第1の絶縁膜を介して薄層の半導体層を形成することにより、シリコン基板を用いた場合に発生する信号波形の減衰を抑えることができる。つまり、金属配線を絶縁膜を介して金属基板に設ける事により、信号の伝搬方向を向いた電界成分が無くなり、伝搬方向に垂直な成分のみとなり波形の減衰が回避される。

【0033】また、本発明の半導体領域の厚さ及びチャネル長は、それぞれ0.01～0.1μm、及び0.

$25 \mu m$ が好ましく、この範囲で、信号波形の減衰を一層抑制でき、またゲート遅延時間を小さくすることが可能となり、例えば $20 \text{ p s}$ 以下の超高速動作が実現可能である。

【0034】なお、本発明において、金属基板は導電率の大きな導電性材料であればかまわないし、基板の下に他の物質が存在していてもかまわない。第1の絶縁膜は熱伝導率の大きい材料であれば良い。また、半導体膜としてシリコンの他、例えばダイヤモンド、SiCのようなワイドギャップ半導体も用いることができる。

【0035】本発明の半導体装置では、第2の絶縁膜として、比誘電率が8以上のものが用いられる。例えば、比誘電率25のTa<sub>2</sub>O<sub>5</sub>膜が好適に用いられる。これによりSiO<sub>2</sub>をゲート酸化膜に用いた従来のものよりも\*

$$t' = t_1 (\text{nm}) \times$$

但し、 $t_1$ ：ゲート絶縁膜の膜厚

$\epsilon_r$ ：前記第1の絶縁膜の比誘電率

$\epsilon_{SiO_2}$ ：シリコン酸化膜の比誘電率

$t' < 3 \text{ nm}$ であれば、SiO<sub>2</sub>ゲート酸化膜を用いたトランジスタでは実現不可能な高電流駆動能力を持つ事になる。ゲート酸化膜厚が、式1を満足していれば、従来の半導体装置では実現不可能な高電流駆動能力が実現できる。

【0038】また、ゲート絶縁膜の比誘電率が8以上であれば、3nm膜厚のSiO<sub>2</sub>を用いた従来のトランジスタと同電流を流すのに、ゲート酸化膜の厚さは、6nm以上でよい。直接トンネル現象によるリーク電流は、膜厚に対して指数関数的に減少するため、6nm以上のゲート絶縁膜は、直接トンネル現象によるリーク電流に対し、充分大きな余裕を持つ。従って、トランジスタの信頼性を向上させる事が可能となる。

【0039】以上の第2の絶縁膜として具体的には、例えばTa<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>等が挙げられる。これらの絶縁膜は金属膜を形成後酸化しても、直接酸化膜を形成してもよい。

【0040】また、本発明において、前記第2絶縁膜は、比誘電率が8以上の絶縁膜と、前記半導体の酸化膜との積層構造とするのが好ましい。半導体の酸化膜上に比誘電率の大きい積層することにより、半導体の界面準位密度を低減でき、より大電流を駆動することが可能となる。ただし、酸化膜の膜厚は、比誘電率が8以上の絶縁膜の膜厚より小さい小さくする必要がある。

【0041】更に金属ゲート電極の端部下の絶縁膜は、中央部分より厚くするのが好ましい。これにより、電圧集中効果を防止し、より耐圧を高くすることができる。

【0042】本発明では、ゲート電極として比抵抗の小さな金属を用いる。例えばAlを用いることにより信号振幅減衰を大きく抑えることができる。したがって、Al電極を用いる事によって、ゲート幅全体にわたって駆動する事が可能となる。

\*実際に約7倍以上の電流が流すことができる。言い換れば、駆動電流を据え置くと、従来のSiO<sub>2</sub>を用いたトランジスタのゲート面積に比べ、約1/7に微細化が実現できる。このように、従来のSiO<sub>2</sub>をゲート酸化膜に用いたトランジスタにおいて実現不可能な高電流駆動能力が、そして極限微細化が本発明により実現可能となる。

【0036】このように、単位面積当たりのゲート容量を大きくすれば、トランジスタの電流駆動能力を大きくする事ができる。誘電率の大きい絶縁膜を用いる事は、等価的にSiO<sub>2</sub>の膜厚を薄くする事である。そこで誘電率の大きい絶縁膜を用いた場合の等価的酸化膜厚(SiO<sub>2</sub>換算)  $t'$  を定義する。

【0037】

$$\times (\epsilon_{SiO_2} / \epsilon_r) \quad (3)$$

【0043】本発明において、第1の絶縁膜の表面に、シリコンの成長核となるオングストローム精度の段差を設けてある。段差の周期と形状を選択することにより、シリコン結晶粒の面内回転方向をそろえる事が可能となり、より高品質なシリコン単結晶が得られる。即ち、第1の絶縁膜上に回転方向のそろったシリコン膜が1層表面を覆うと、その後のシリコン原子は下地の情報を得て堆積するため、単結晶シリコン層が形成される。この時のシリコン原子は低エネルギーイオン照射の効果により、最適なマイグレーションエネルギーが与えられ、緻密な結晶欠陥の無い単結晶膜を得ることができる。上記段差としては、0.5~5.0nmでこれを0.2~5.0μm周期で配することで一層高品質なシリコン結晶を形成する事が可能となる。第1の絶縁膜の材質としては、熱伝導率の高いものが好ましく、とくにAlNが好ましい。金属基板上に熱伝導率の高いAlNを用いることにより、トランジスタで発生した熱を即座に外部に放出し、その結果熱雑音レベルを下げ、回路動作の信頼性を向上させることができる。

【0044】本発明の第1及び第2絶縁膜、半導体膜の成膜には、種々の真空成膜方法を用いることができるが、膜の緻密性、単結晶性から、特に2周波励起プラズマプロセス装置が好適に用いられる。

【0045】さらに本発明において、回路形式としてCMOS構造をとるのが好ましい、これにより、電源電圧低下に対しても雑音余裕が大きくなる。また、CMOSでの超高速動作により発生するの熱は、前述したように金属基板上に設けた熱伝導率の高いAlNの絶縁膜、金属基板を介して即座に外部に放出させる。こうして、理論限界の雑音である熱雑音レベル下げ、回路動作の信頼性を向上させている。このような構造を持って、トランジスタ、配線を設計する事により、クロックレートが1GHzを越える高速動作に対応可能となる。

【0046】

【実施例】(実施例1) 図1は、本発明の第1の実施例

を示す半導体装置の断面図である。本実施例では、Cu基板101上に、AlN(熱伝導率: 180 W/mK)絶縁膜(第1の絶縁膜)102を形成し、この上に単結晶シリコン層103を堆積しCMOS構成インバータ回路を作製した。ゲート酸化膜(第2の絶縁膜)104は、厚さ5 nmのTa<sub>2</sub>O<sub>5</sub>(比誘電率: 25)であり、ゲート電極105はAlで構成されている。またソース及びドレイン領域とゲート電極と接するAl配線106は絶縁膜を介して他の半導体領域と絶縁されている。

【0047】絶縁膜102、単結晶シリコン層103、ゲート酸化膜104、ゲート電極105は、順次二周波励起起プラズマプロセス装置を用いて堆積した。図2に、二周波励起起プラズマプロセス装置の概略図を示す。本装置は、チャンバ107の内部にターゲット108とそれと平行におかれた試料取り付け部を有し、ガス導入口110と真空排気系111が設けられている。また、プラズマ放電に用いるRF電源112は、ターゲット108と試料109にそれぞれマッチング回路113を介して独立に結合され、試料109の自己バイアスを制御することができる。また、電極を囲むようにシールド114を設け、外部からバイアスをかける事でシールドの電位が制御可能となっている。真空排気系111は、オイルフリーの磁気浮上型ターボ分子ポンプとドライポンプで構成され、チャンバ107の到達真空度は10<sup>-10</sup>台の超高真空中を達成している。超高純度のアルゴンガスはガス導入口110から供給される。

【0048】まず、Cu基板上に第1の絶縁膜として、AlN膜を200 nm形成し、ウエットエッチングにより種々の高さ(0.5~11.4 nm)の2×2 μmの凸部が1 μmのギャップで周期的に並ぶ段差を形成した。AlN膜の表面像を図3に示す。原子オーダーの段差の形状観察には、超高純度ガス及び超高真空中で観察可能な高解像度原子間力顕微鏡を用いた。

【0049】次に、結晶シリコンを0.01~0.1 μm形成した。得られた結晶シリコン膜は、緻密で結晶欠陥の無い単結晶膜であった。

【0050】これは、以上の段差を形成することにより、まず絶縁膜上に回転方向のそろったシリコン膜が1層表面を覆い、その後のシリコン原子は下地の情報を得て堆積するため、単結晶シリコン層が形成されると考えられる。この時のシリコン原子は低エネルギーイオン照射の効果により、最適なマイグレーションエネルギーが与えられ、緻密な結晶欠陥の無い単結晶膜が得られるものと考えられる。本実施例では、段差が0.5~5.0 nmの範囲で一層欠陥の少ない単結晶が得られた。

【0051】以上の単結晶シリコン膜103にTa<sub>2</sub>O<sub>5</sub>の絶縁膜を形成し、続いてAlを0.5 μm形成した後、ゲート電極のパターニング、ソース・ドレインのパターニングを行い、イオン注入によりソース・ドレインを形成して、MOS型トランジスタを試作した。なお、

本実施例では、イオン注入によるソース/ドレイン領域の形成をAlゲート電極をマスクとし、自己整合的に行った。イオン注入層のアニールは、450°Cの低温で行った。また、イオン注入装置は、10<sup>-9</sup> Torrより高い真空中をもち、イオンビームによるチャンバ金属材料のスパッタリングによる汚染が充分低くなるよう設計されたウルトラクリーン化イオン注入装置を用いた。

【0052】図4は、ゲート長Lとゲート幅Wで規格化したドレイン電流とドレイン電圧の関係を示している。

10 同一の電圧印加条件に対して、本発明のトランジスタは、SiO<sub>2</sub>をゲート酸化膜に用いた従来のものよりも実に約7倍の電流が流せる事がわかる。これは、ゲート電圧の誘電率がSiO<sub>2</sub>の3.9に対して本発明のTa<sub>2</sub>O<sub>5</sub>は約7倍になっている事と対応する。つまり、誘電率が約7倍になり、単位面積当たりのゲート容量が約7倍になったので、同一電圧で誘起する事のできるチャネルキャリア濃度も約7倍になり、流せる電流も約7倍になったのである。言い換えれば、駆動電流を据え置くと、従来のSiO<sub>2</sub>を用いたトランジスタのゲート面積に比べ、約1/7に微細化が実現できる。これこそ最も超高性能化を指向したデバイス寸法の極限微細化に適した選択である。従来のSiO<sub>2</sub>のゲート酸化膜では、3 nm以下の膜厚になると、直接トンネル電流と呼ばれるリーク電流が生じる事が知られている。従って、ゲート酸化膜においてSiO<sub>2</sub>を用いた従来の半導体装置においては、超高性能デバイスの為の極限微細化に支障をもたらしている。逆に言えば、従来のSiO<sub>2</sub>をゲート酸化膜に用いたトランジスタにおいて実現不可能な高電流駆動能力が、そして極限微細化が本発明により実現できる事を示している。

【0053】図5に、ゲート電極の一端から高周波信号を入力した場合の、信号振幅の減衰の様子を、従来の多結晶シリコン電極とAl電極の場合で比較した結果を示す。抵抗の大きい多結晶シリコン電極の場合は信号振幅が著しく減衰しているのに対し、Al電極の場合は余り減衰しない。したがって、Al電極を用いる事によって、ゲート幅全体にわたって駆動する事が可能となつた。

【0054】図6は常温での金属基板上に絶縁膜を介して設けられた配線上を伝搬するパルス波形の劣化を示す。シリコン基板で発生する信号波形の減衰は、金属基板を用いるとほとんど起こらない。つまり、金属配線を絶縁膜を介して金属基板に設ける事により、信号の伝搬方向を向いた電界成分が無くなり、伝搬方向に垂直な成分のみとなり波形の減衰が回避される。

【0055】また、本実施例において、0.25 μm以下のチャネル長を持つMOSFETで、Siの厚さを0.06 μmとすることにより、ゲート遅延時間が20 ps以下の超高速動作が確認された。

【0056】(実施例2) 図7は、本発明の第2の実施

11

例を示すものである。図7(a)は、本発明に係わる半導体装置の断面図を示す。シリコン薄膜201と第1のゲート絶縁膜であるTa<sub>2</sub>O<sub>5</sub>膜202との間に、基板Siを酸化して形成したSiO<sub>2</sub>膜203が挿入されてい

る。

【0057】SiO<sub>2</sub>膜203の形成は、300°Cの酸素雰囲気で行った。続いて金属Taを図2の2周波励起プラズマプロセス装置を用い、バイアススピッタ法で成膜し、真空を破ることなく連続的に直接酸化を行ってTa<sub>2</sub>O<sub>5</sub>膜202を形成した。その他は実施例1と同様にして、CMOSインバータを作製した。

【0058】シリコン薄膜とゲート絶縁体の界面は、電流が流れるチャネル部分にあたる為、その界面特性は、半導体装置のデバイス特性に影響を与える。例えば、界面準位密度が大きいとチャネル中のキャリヤは散乱を受けてしまい、移動度が減少する。移動度の減少は、電流駆動能力の低下につながる。従って、界面準位密度はできるだけ小さく抑えなければならない。

【0059】図7(b)は、SiO<sub>2</sub>膜203の有無による界面準位密度の差異を示している。SiO<sub>2</sub>膜無しの場合に比べ、本実施例のSiO<sub>2</sub>膜付きの場合は界面準位密度が小さく( $\sim 5 \times 10^{10} \text{ cm}^{-2}$ )なり、かつばらつきも小さくなつた。

【0060】但し、SiO<sub>2</sub>膜203の膜厚が厚くなると、Ta<sub>2</sub>O<sub>5</sub>膜202との直列合成容量で決まるゲート容量が小さくなり、高誘電体ゲート絶縁膜の効果が小さくなってしまうため、SiO<sub>2</sub>膜203の膜厚は第1ゲート絶縁膜であるTa<sub>2</sub>O<sub>5</sub>膜202より薄くする必要がある。

【0061】(実施例3)図8は、本発明の第3の実施例を示すものである。

【0062】図8(a)にゲート電極部の断面図を示す。本実施例では、301はドレイン、302はA1ゲート電極、303はTa<sub>2</sub>O<sub>5</sub>を示している。ソース、ドレインのイオン注入及びアニール後に、陽極酸化法によってA1ゲート電極表面を後酸化した。後酸化する事により、ゲート電極端部304にA1の酸化物Al<sub>2</sub>O<sub>3</sub>の\*

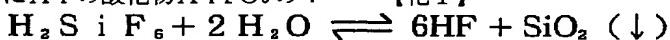


図11は、ゲート長Lとゲート幅Wで規格化したドレイン電流電圧特性を示している。同一のドレイン電圧において、本発明のドレイン領域のみLDN構造を持つトランジスタでは、従来のLDN構造を持つトランジスタに比べ、ほぼ2倍の電流が流せることがわかる。これは、従来のLDN構造では存在したソース領域の低濃度層での寄生抵抗が、本発明のトランジスタでは存在しないため、ソース領域での電圧降下がなくなり、高電流駆動能力が得られたことを示している。また、耐圧に関して

\*食い込みが生じ、この部分のゲート絶縁膜厚は平坦部分305よりも厚くなることが分かった。

【0063】図8(b)に、陽極酸化法により形成した後酸化膜厚とゲート絶縁膜耐圧の関係を示した。後酸化膜厚が0の場合、つまり後酸化を行わない場合、ゲート絶縁膜の耐圧は、4MV/cm程度であるのに対し、後酸化を行い膜厚を増やすにしたがって、耐性が向上している。後酸化膜が5nmとなり、ゲート絶縁膜Ta<sub>2</sub>O<sub>5</sub>とほぼ同じ膜厚になったところで耐圧の向上は飽和している。この時の耐圧、約5.5MV/cmがここで用いたTa<sub>2</sub>O<sub>5</sub>の真性耐圧といえる。つまり、ゲート電極端での電界集中効果(端効果)を完全に防止できる事を示している。

【0064】なお、本実施例において、第1のゲート絶縁膜(第2の絶縁膜)303としてTa<sub>2</sub>O<sub>5</sub>を用いたが、Al<sub>2</sub>O<sub>3</sub>等でも良い事は言うまでもない。また、後酸化膜として、Alゲート電極を陽極酸化したAl<sub>2</sub>O<sub>3</sub>を用いたが、ゲート電極端部での絶縁膜厚を大きくできる様な絶縁膜、絶縁膜形成法であれば他のものでも良い。

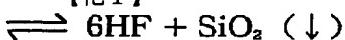
【0065】(実施例4)図9は、本発明の第4の実施例を示すものである。903、905はそれぞれソースとドレイン、904はLDN領域、901はA1ゲート電極、902は、Ta<sub>2</sub>O<sub>5</sub>膜を示している。本発明に於いては、ドレイン部にのみLDN構造を形成した。

【0066】この構造を実現する一つの例を図10に示す。まず、リソグラフィ工程により、ドレイン領域部のみが開口したレジスト層を形成する。次に開口したドレイン領域部のみに酸化膜を形成し、等方性モードの反応性イオノエッチングにより、ドレイン領域部のみにサイドウォールを形成する。レジストを剥離し、ソース/ドレインイオン注入を行う。

【0067】本例では、以下の反応式に従い、液相で、レジスト表面には堆積しない選択性酸化膜堆積が進行することがわかった。

【0068】

【化1】



は、従来のLDN構造とほぼ同等の結果が得られた。

【0069】つまり、本発明のトランジスタでは、ソース領域での寄生抵抗を低減し、ドレイン近傍での電界緩和効果を充分に持つ事により高信頼性、かつ高電流駆動能力が実現できる事を示している。

【0070】(実施例5)図12は、本発明の第5の実施例を示す。本実施例では、n型MOSトランジスタのソース1203が直下のCu基板1201と接続され、またp型MOSトランジスタのソース1202が直上の

13

Cu配線1204と接続されてた、CMOS構成インバータ回路を試作した。その他の詳細な説明は、第1の実施例と同じであるので省略する。Cu基板1201は接地されており、また、Cu配線1204は、電源電圧と接続されている。今回、このCu配線1204の面積は、チップ面積の2/3とした。

【0071】NMOSの場合、細く長いソース配線によ\*

$$I_D' = \frac{I_D}{1 + G_m (R_{sn} + L_{sn} \frac{1}{I_D} - \frac{d I_D}{dt})}$$

このように、MOSトランジスタのソースに、抵抗やインダクタンスが接続していると、特に高速で動作する場合、電圧降下が顕著に現れ、チャネル部を流れる電流が小さくなってしまう。また、PMOSの場合も同様である。配線幅が細く配線長が長い配線に電流を流すと、寄生抵抗・寄生インダクタンスの効果が顕著に現れてくるため、ソース配線での電圧効果が起こり、トランジスタの電流駆動能力が低下する。従って、ソース配線はできるだけ短く、大面積の低抵抗金属板に接続しなければならない。

【0073】図13は、本実施例に於けるCMOSインバータのスイッチング動作の出力電圧波形を示す。同一の入力電圧波形に対し、本発明のトランジスタでは、ソース配線図9の点線に示すようにしていいる従来のものに比べて、ほぼ理想的な出力波形を得ている。これは、従来のトランジスタでは、ソース配線に寄生抵抗・寄生インダクタンスが無視できず、実効電流駆動能力が低下しているのに対し、本発明のトランジスタでは、ソース配線の持つ寄生抵抗・寄生インダクタンスが無視でき、高電流駆動能力が実現されていることに対応する。つまり、本発明のトランジスタにより、高電流駆動能力が達成され、スイッチング動作の遅延時間を可能な限り小さくする事に成功した。

【0074】(実施例6) 図14は、本発明の第6実施例を示す半導体装置の断面図である。金属基板内に、水が流れる溝が作り込まれている。このとき水の流量は6 m/s、溝の数は2×2cmチップ内に200本、溝の大きさは5μm角である。

【0075】その他は、第1の実施例と同様に作製した。尚、本実施例では、冷媒として、水を用いたが、例えばメチルアルコールやアセトンでもよい。また、溝の形状や構造は、冷却の効果があればよい。

【0076】図15は、本実施例の半導体装置を用いて作製した2×2cmの面積を持つICチップにより計測した消費電力と温度上昇の関係を示している。消費電力が1.0Wである時、従来のICチップでは温度上昇が200°Cであるのに対し、本発明の半導体装置を組み込んだICチップでは温度上昇は25°Cになっている。

【0077】つまり、本発明の半導体装置を用いること

14

\*り寄生抵抗 $R_{sn}$ と寄生インダクタンス $L_{sn}$ がある。ドレンに流れ込む電流を $I_D$ 、ゲート/ソース間の電圧を $V_{gs}$ 、そしてトランジスタの相互コンダクタンスを $G_m$ とすると、実際に流れる電流 $I_D'$ は、以下の式で表される。

【0072】

【数1】

$I_D$

により、温度上昇に比例して大きくなる熱雑音レベルを低く保ち、超高速度動作で、高精度なスイッチング動作を実現できる。また、温度上昇に伴う、トランジスタの閾値の変動や移動度の低下等の性能劣化についても、最小限に抑えられた。

【0078】

【発明の効果】本発明により、即ち半導体装置を、金属基板上に第1の絶縁膜を介して、第1導電型の第1の半導体領域が設けられ、該第1の半導体領域内に第2導電型の第1のソース及びドレン領域が形成され、更に該第1のソース及びドレン領域を隔てる領域上に第2の絶縁膜を介して第1の金属ゲート電極が形成された構成とすることにより、電流駆動能力が大きく、高速動作が可能な半導体装置を提供することが可能となる。

【0079】更に、請求項4の発明により、半導体層の界面準位密度を低減でき、一層電流駆動能力を高めることが可能となる。

【0080】更には、請求項5及び6の発明により、ゲート絶縁膜の耐圧を更に向上させることができ、一層大きな電流駆動が可能となる。

【0081】更に、請求項11の発明により、ソース領域での寄生抵抗を低減し、ドレン近傍での電界緩和効果を充分に持つ事により高信頼性、かつ高電流駆動能力が実現できる。

【0082】更に、請求項12及び13の発明により、高電流駆動能力が達成され、スイッチング動作の遅延時間を可能な限り小さくすることができる。

【0083】また更に、請求項14の発明により、温度上昇に比例して大きくなる熱雑音レベルを低く保ち、超高速度動作で、高精度なスイッチング動作を実現できる。また、温度上昇に伴う、トランジスタの閾値の変動や移動度の低下等の性能劣化についても、最小限に抑えることができる。

【図面の簡単な説明】

【図1】実施例1を示す半導体装置の概略断面図。

【図2】二周波励起プラズマプロセス装置の概略図。

【図3】単結晶シリコン層を成長させる種々の絶縁膜表面写真。

【図4】実施例1に係わるトランジスタの、ゲート長L

15

とゲート幅Wで規格化したドレイン電流とドレイン電圧の関係を示すグラフ。

【図5】ゲート一端から高周波信号を入力した場合の、信号振幅の減衰の様子を示すグラフ。

【図6】常温で本発明の金属基板上に絶縁膜を介して設けられた配線上を伝搬するパルス波形の劣化を示すグラフ。

【図7】実施例2に係わり、(a)は半導体装置の概略断面図であり、(b)はSiO<sub>2</sub>の有無による界面準位の差異を示すグラフ。

【図8】実施例3に係わり、(a)は半導体装置のゲート電極端部の概略断面図であり、(b)は陽極酸化法により形成した後酸化膜厚とゲート絶縁膜耐性の関係を示すグラフ。

【図9】本発明の第4の実施例の半導体装置の概略断面図である。

【図10】図9の半導体装置の作製手順を示す概略断面図である。

【図11】ゲート長Lとゲート幅Wで規格化したドレイン電流電圧特性を示す図である。

【図12】本発明の第5の実施例の半導体装置の概略断面図である。

【図13】本実施例のCMOSインバータのスイッチング動作の出力電圧波形を示す図である。

【図14】本発明の第6の実施例を示す半導体装置の概略断面図である。

【図15】本実施例の半導体装置を用いて作製した2×2cmの面積を持つICチップにより計測した消費電力と温度上昇の関係を示すグラフである。

【図16】従来の半導体装置の概略図であり、(a)は平面図、(b)は断面図、(c)は等価回路図。

【図17】従来のトランジスタの等価回路図である。

16

【図18】図16の装置における、ゲート一端から高周波信号を入力した場合の、信号振幅の減衰の様子を示すグラフ。

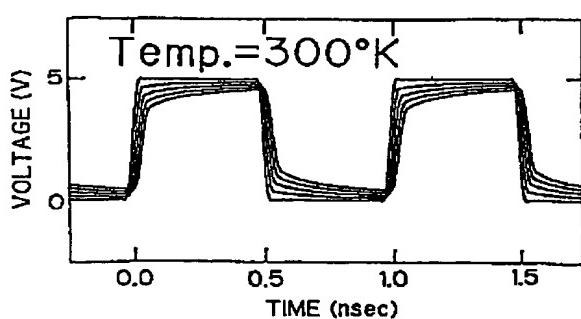
【図19】常温での従来のシリコン基板上に絶縁膜を介して設けられた配線上を伝搬するパルス波形の劣化を示すグラフ。

【図20】従来のLDD構造の形成方法の一例を示す図である。

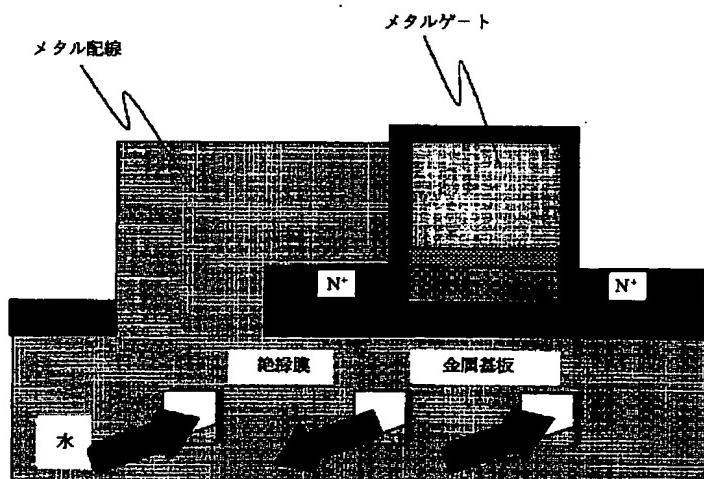
#### 【符号の説明】

- |    |                                       |
|----|---------------------------------------|
| 10 | 101 Cu基板、                             |
|    | 102 AlN絶縁膜、                           |
|    | 103 単結晶シリコン層、                         |
|    | 104 ゲート酸化膜、                           |
|    | 105 ゲート電極、                            |
|    | 106 Al配線、                             |
|    | 107 二周波励起プラズマプロセスチャンバ、                |
|    | 108 ターゲット、                            |
|    | 109 試料、                               |
|    | 110 ガス導入口、                            |
| 20 | 111 真空排気系、                            |
|    | 112 RF電極、                             |
|    | 113 マッチング回路、                          |
|    | 114 シールド、                             |
|    | 201 シリコン薄膜、                           |
|    | 202 Ta <sub>2</sub> O <sub>5</sub> 膜、 |
|    | 203 SiO <sub>2</sub> 膜、               |
|    | 301 ドレイン、                             |
|    | 302 Alゲート電極、                          |
|    | 303 Ta <sub>2</sub> O <sub>5</sub> 、  |
| 30 | 304 ゲート電極端部、                          |
|    | 305 平坦部分。                             |

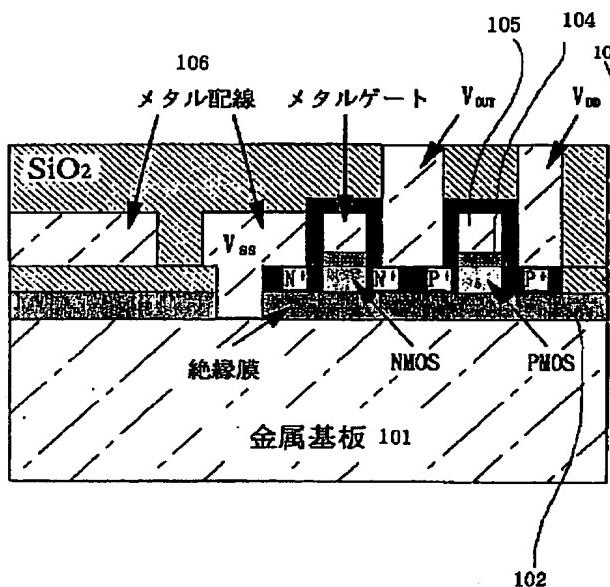
【図6】



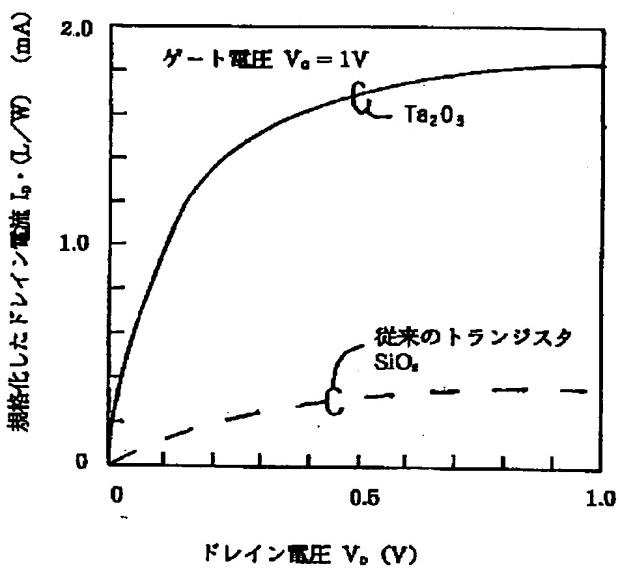
【図14】



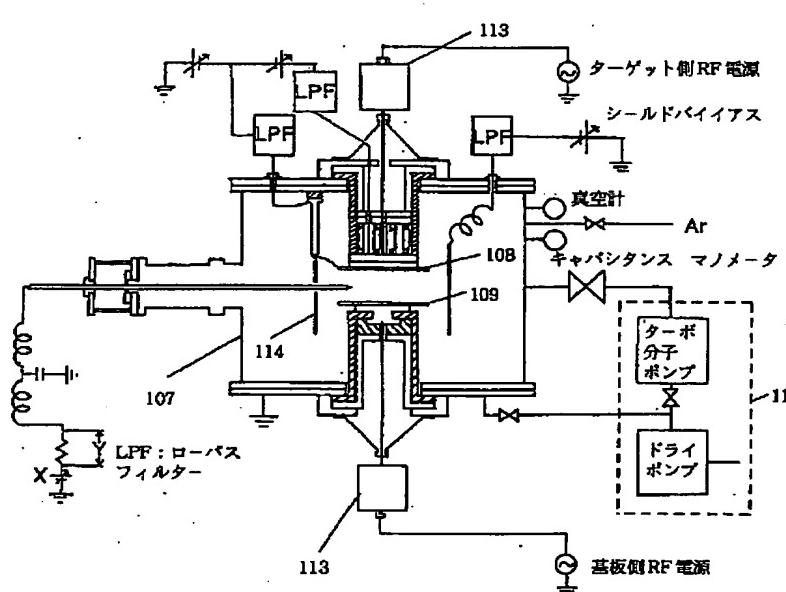
【図1】



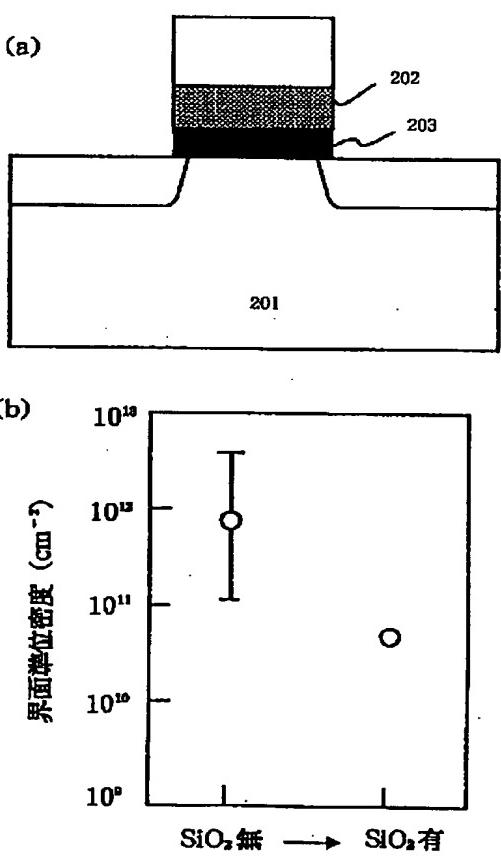
【図4】



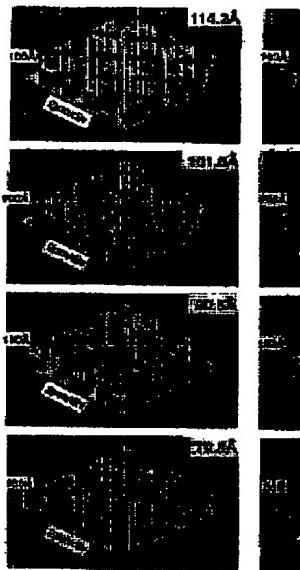
【図2】



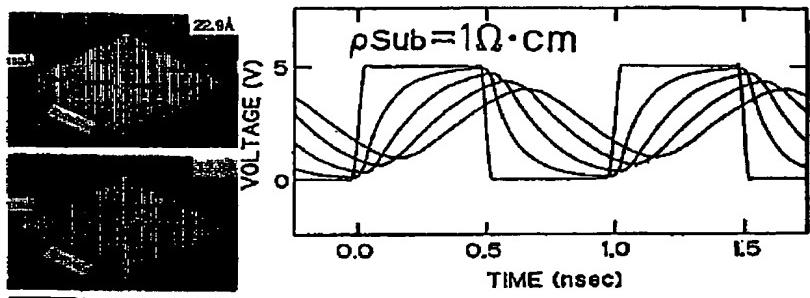
【図7】



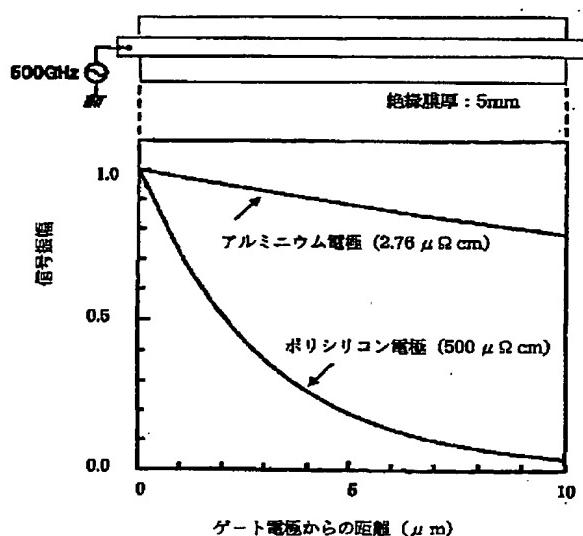
【図3】



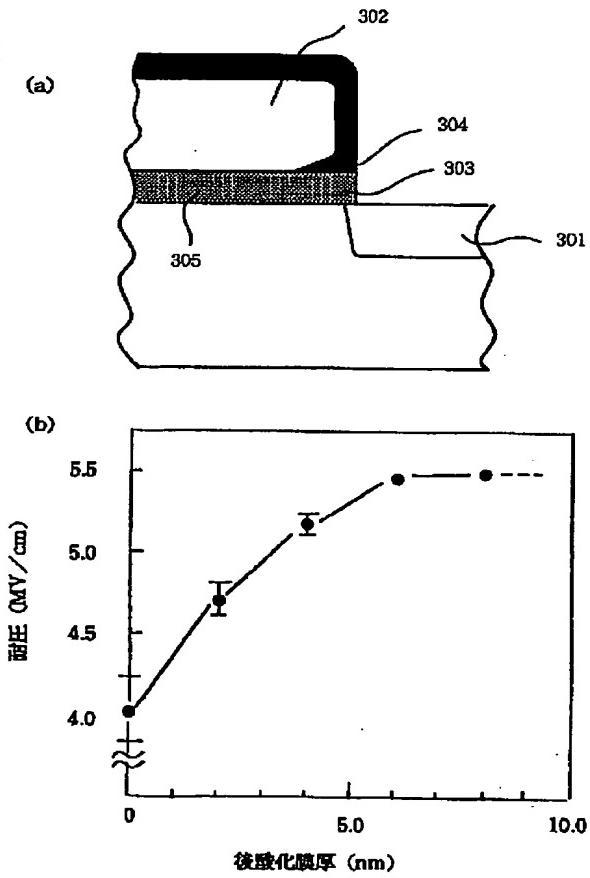
【図19】



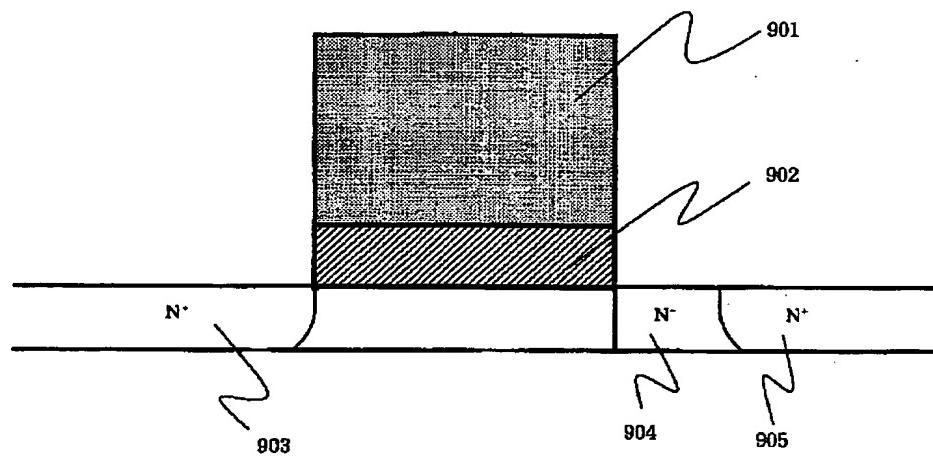
【図5】



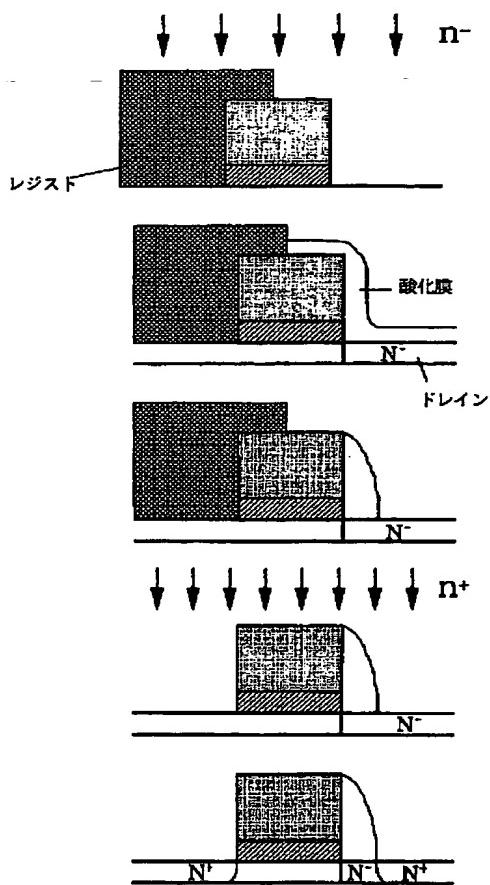
【図8】



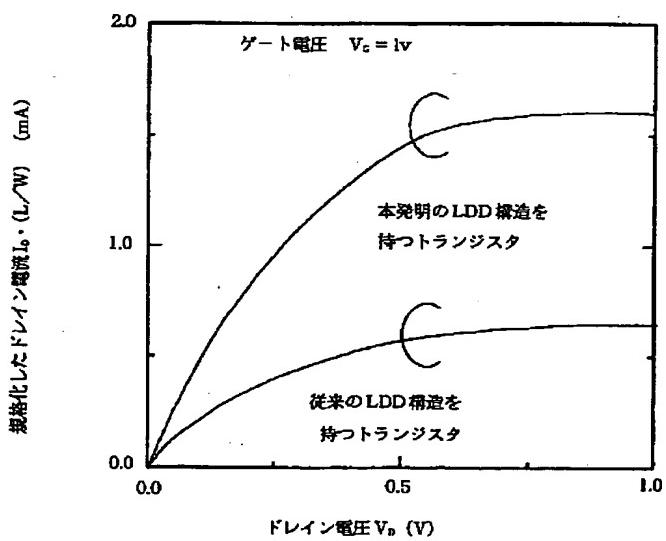
【図9】



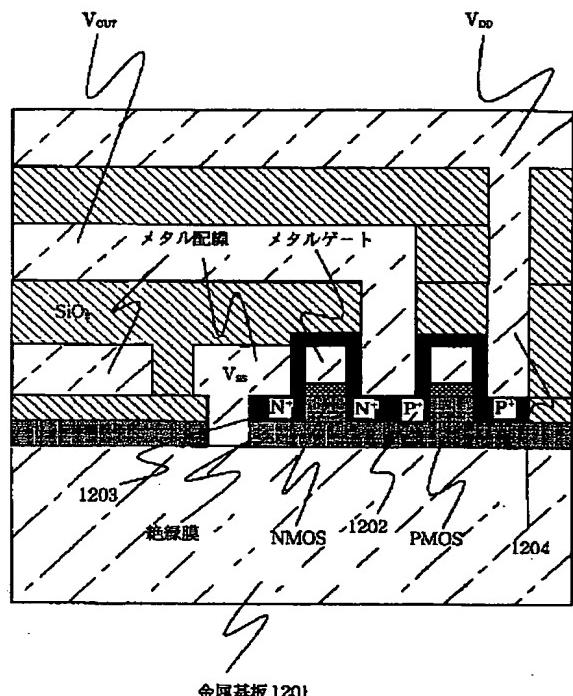
【図10】



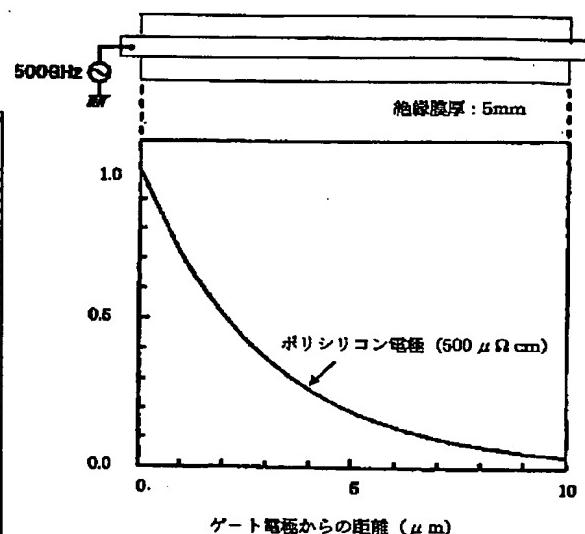
【図11】



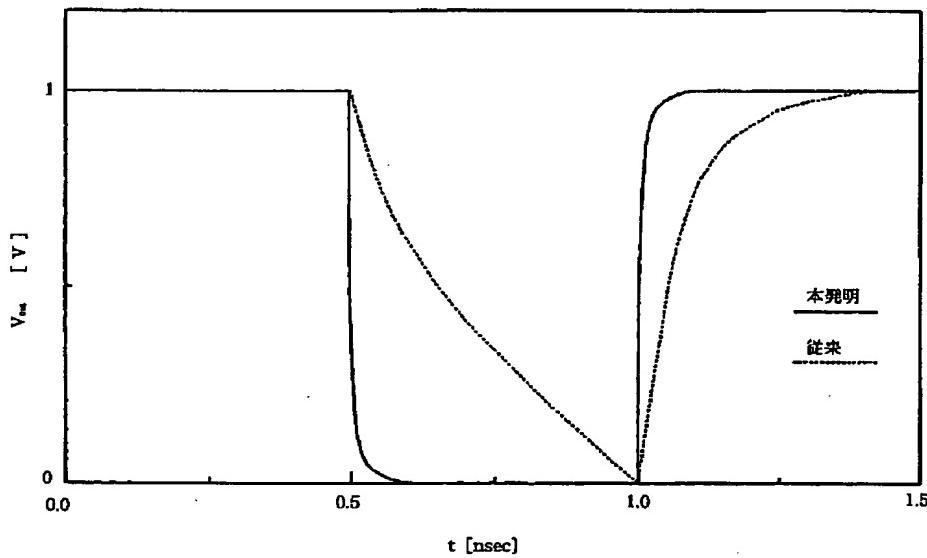
【図12】



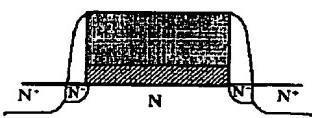
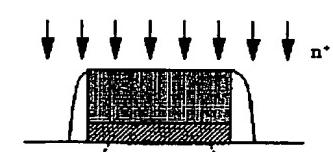
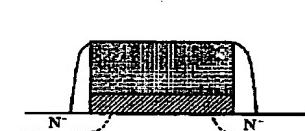
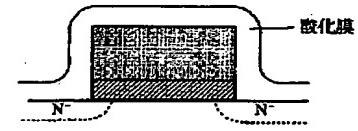
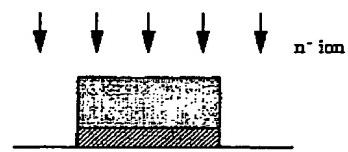
【図18】



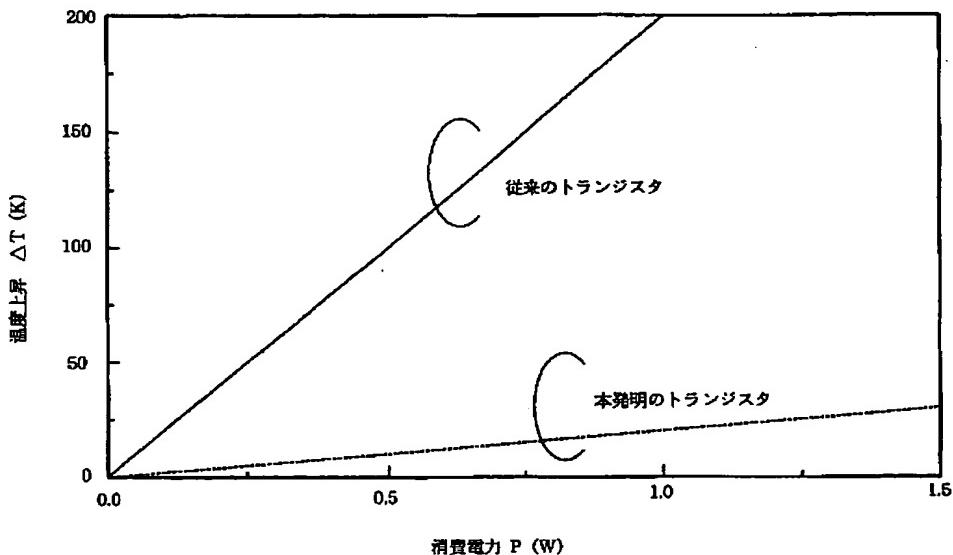
【図13】



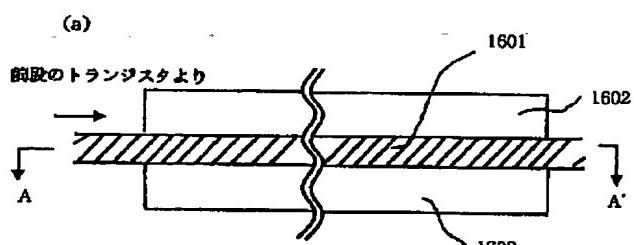
【図20】



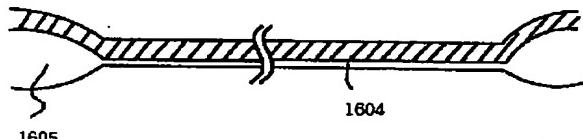
【図15】



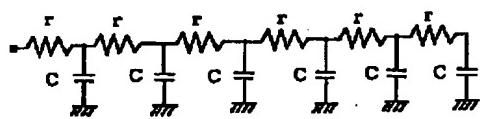
【図16】



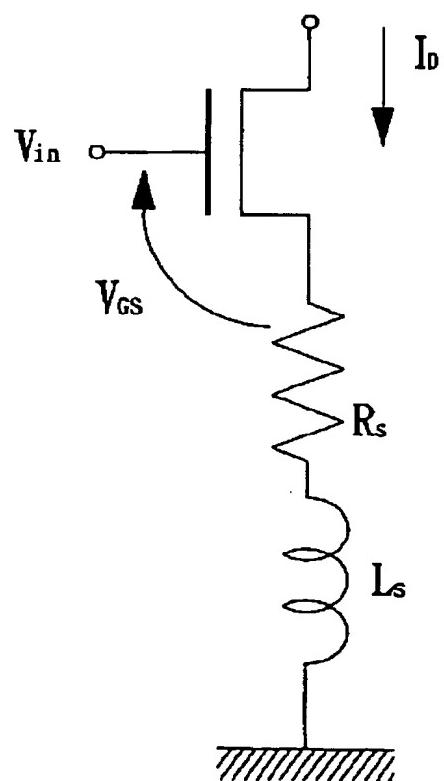
(b)



(c)



【図17】



n-MOS

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**